

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-078163

(43) Date of publication of application : 11.03.2004

(51)Int.Cl. G09G 3/30
G09G 3/20
H05B 33/14

(21)Application number : 2003-163234

(71)Applicant : ROHM CO LTD

(22) Date of filing : 09.06.2003

(72)Inventor : FUJISAWA MASANORI
ABE SHINICHI

(30)Priority

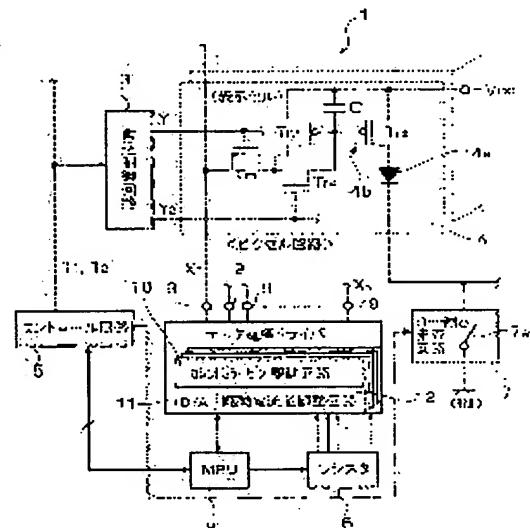
Priority number : 2002179439 Priority date : 20.06.2002 Priority country : JP

(54) DRIVING CIRCUIT FOR ACTIVE MATRIX ORGANIC EL PANEL AND ORGANIC EL DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit for an active matrix organic EL panel, which is capable of reducing the unevenness of luminance of a display picture even though having a circuit for compensating an operation threshold of driving transistors, eliminated to reduce the circuit scale of a pixel circuit and is suitable for high-luminance color display.

SOLUTION: Since a driving current value is adjusted by a current value adjustment circuit of a current driving circuit provided on the outside of each pixel circuit, a control line for program control is unnecessary which is provided for the purpose of making operation thresholds of driving transistors uniform. Consequently, the number of transistors in each pixel circuit is reduced. Thus the circuit magnitude of each pixel circuit is reduced.



LEGAL STATUS

[Date of request for examination] 11.08.2003
[Date of sending the examiner's decision of rejection] 22.02.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3706936

[Date of registration] 12.08.2005

[Number of appeal against examiner's decision of rejection] 2005-05219

[Date of requesting appeal against examiner's decision of rejection] 25.03.2005

[Date of extinction of right]

JP 2004 78163 A 2004. 3. 11

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-78163

(P2004-78163A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl. 7

G09G 3/30
G09G 3/20
H05B 33/14

F I

G09G 3/30 J 3K007
G09G 3/30 K 5C080
G09G 3/20 612R
G09G 3/20 622G
G09G 3/20 623B

テーマコード(参考)

審査請求有 請求項の数 11 O L (全 15 頁) 最終頁に続く

- (21) 出願番号 特願2003-163234 (P2003-163234)
 (22) 出願日 平成15年6月9日 (2003.6.9)
 (31) 優先権主張番号 特願2002-179439 (P2002-179439)
 (32) 優先日 平成14年6月20日 (2002.6.20)
 (33) 優先権主張国 日本国 (JP)

(特許庁注: 以下のものは登録商標)
F R A M

- (71) 出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町21番地
 (74) 代理人 100079555
弁理士 梶山 信是
 (74) 代理人 100079957
弁理士 山本 富士男
 (72) 発明者 藤沢 雅憲
京都市右京区西院溝崎町21番地 ローム
株式会社内
 (72) 発明者 阿部 真一
京都市右京区西院溝崎町21番地 ローム
株式会社内
 F ターム(参考) 3K007 AB17 BA06 DB03 GA00
5C080 AA06 BB05 DD05 DD22 EE29
EE30 FF11 JJ02 JJ03

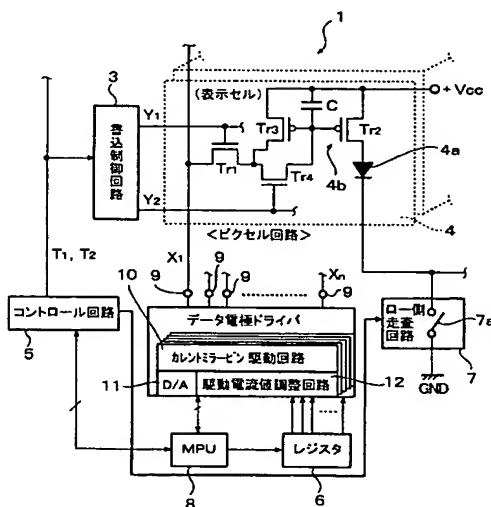
(54) 【発明の名称】アクティブマトリックス型有機ELパネルの駆動回路およびこれを用いる有機EL表示装置

(57) 【要約】

【課題】駆動トランジスタの動作 値を補償する回路をなくしてピクセル回路の回路規模を抑えても表示画面の輝度むらを低減でき、特に、高輝度カラー表示に適したアクティブマトリックス型有機ELパネルの駆動回路を提供することにある。

【解決手段】この発明は、各ピクセル回路の外部に設けられた電流駆動回路の電流値調整回路で駆動電流値が調整されるので、駆動トランジスタの動作 値を均一にするために設けられるプログラム制御のための制御線は不要である。したがって、各ピクセル回路のトランジスタ数は、その分、低減できる。これにより各ピクセル回路の回路規模が低減される。

【選択図】 図1



(2)

JP 2004 78163 A 2004.3.11

【特許請求の範囲】**【請求項 1】**

有機EL素子との有機EL素子の駆動電流の電流値に応じた電圧値を記憶するコンデンサと前記電圧値に応じて前記有機EL素子に前記駆動電流を出力するためのトランジスタとを有するピクセル回路がマトリックス状に配列された有機EL表示パネルを電流駆動するアクティブマトリックス型有機ELパネルの駆動回路において、

前記有機EL表示パネルのデータ線あるいはカラムピンに対して接続される出力ピンを有しこの出力ピンが前記データ線あるいは前記カラムピンを介して接続される前記ピクセル回路のコンデンサを前記電圧値に充電する充電電流を発生する多数の電流駆動回路と、
前記コンデンサに前記電圧値を記憶するための書き込み制御をしかつ書き込まれた前記コンデンサの前記電圧値をリセットする制御をする書き込み制御回路とを備え、
前記有機EL表示パネルの画面上で少なくとも分散した位置にある複数の前記ピクセル回路に前記出力ピンを介して接続される複数個の前記電流駆動回路には、前記出力ピンから吐出されあるいは前記出力ピンにシンクされる出力電流を調整する電流値調整回路がそれぞれに設けられているアクティブマトリックス型有機ELパネルの駆動回路。

【請求項 2】

前記電流値調整回路は、外部から設定された少なくとも1ビットのデータに応じて電流値の調整が可能な回路であって、前記出力ピンに出力するための電流あるいはその基礎となる電流を受けて、前記出力電流を調整する請求項1記載のアクティブマトリックス型有機ELパネルの駆動回路。

10

【請求項 3】

さらに、前記電流値調整回路からの電流を受けるD/A変換回路を有し、このD/A変換回路は、表示データを前記電流に応じてアナログ電流値に変換するものであり、前記アナログ電流値に応じて前記出力電流が生成され、前記出力電流は、前記出力ピンにシンクさせるものであり、多数の前記電流駆動回路は、それぞれに前記電流値調整回路を有する請求項2記載のアクティブマトリックス型有機ELパネルの駆動回路。

20

【請求項 4】

前記電流値調整回路は、メモリに記憶された前記データを受けてON/OFFするスイッチ回路と、前記出力ピンに出力するための電流あるいはその基礎となる電流を受けて、受けたこの電流の電流値と前記スイッチ回路のON/OFFとに応じて所定の電流値の電流を生成してこの電流を前記D/A変換回路に出力する電流値生成回路とを有し、前記メモリは、前記データが書き込まれる前記不揮発性メモリあるいはこの駆動電流値調整回路の外部にある不揮発性メモリから前記データが転送されて書き込まれる揮発性メモリである請求項3記載のアクティブマトリックス型有機ELパネルの駆動回路。

30

【請求項 5】

前記メモリは不揮発性メモリであり、前記書き込み制御回路は、走査線を介して前記コンデンサに前記電圧値を記憶する制御をし、前記走査線あるいは他の走査線を介して前記コンデンサの前記電圧値をリセットする制御をする請求項4記載のアクティブマトリックス型有機ELパネルの駆動回路。

【請求項 6】

40

前記電流駆動回路は、さらに前記D/A変換回路の出力を受けて前記出力ピンに前記出力電流を発生させる第1のカレントミラー回路を有し、この第1のカレントミラー回路は、前記データ線あるいは前記カラムピンからの電流を前記出力ピンを経てグランドへと電流をシンクさせるものであり、入力側と出力側の電流比がn:1（ただしnは2以上の整数）の回路である請求項4記載のアクティブマトリックス型有機ELパネルの駆動回路。

【請求項 7】

さらに、前記有機EL素子の陰極側に接続された走査回路と第1の走査線と第2の走査線とを有し、前記書き込み制御回路は、少なくとも前記第1の走査線を介して前記コンデンサに前記電圧値を記憶する制御をし、少なくとも前記第2の走査線を介して前記コンデンサの前記電圧値をリセットする制御をし、前記走査回路は、前記コンデンサに対する前記電

50

(3)

JP 2004 78163 A 2004.3.11

圧値の書き込みが終了した後に前記駆動電流により駆動される複数の有機EL素子の陰極側をグランドへと落とす請求項6記載のアクティブマトリックス型有機ELパネルの駆動回路。

請求項6記載のアクティブマトリックス型有機ELパネルの駆動回路。

【請求項8】

さらに、前記電流値生成回路は、入力側トランジスタ1個に対してカレントミラー接続された第1および第2の出力側トランジスタを有する第2のカレントミラー回路を有し、前記第2の出力側トランジスタは、前記スイッチ回路を介して前記第1の出力側トランジスタに並列に接続され、前記第1および第2の出力側トランジスタが並列に接続される出力側に前記所定の電流値の電流を発生する請求項7記載のアクティブマトリックス型有機ELパネルの駆動回路。
10

【請求項9】

前記第2の出力側トランジスタと前記スイッチ回路とは複数個設けられ、前記データ線あるいは前記カラム端子ピンは、前記有機EL表示パネルの画面上のR、G、Bのいずれかの水平走査方向に対応する画素数分設けられ、前記メモリは、前記各データ線あるいは前記各カラム端子ピン対応する段数のフリップフロップで構成され、各段の前記フリップフロップは、前記スイッチ回路の複数個に対応した数並列に設けられている請求項8記載の有機EL駆動回路の駆動電流値調整回路。

【請求項10】

前記D/A変換回路は、第3のカレントミラー回路で構成され、前記電流値調整回路の前記出力電流は、この第3のカレントミラー回路の入力側トランジスタを駆動し、この第3のカレントミラー回路の出力側トランジスタにより前記第1のカレントミラー回路が駆動される請求項9記載のアクティブマトリックス型有機ELパネルの駆動回路。
20

【請求項11】

請求項1乃至10のいずれか1項記載のアクティブマトリックス型有機ELパネルの駆動回路を有する有機EL表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、アクティブマトリックス型有機ELパネルの駆動回路およびこれを用いる有機EL表示装置に関し、詳しくは、携帯電話機、PHS等の装置において、駆動トランジスタの動作値を補償する回路をなくしてピクセル回路の回路規模を抑えても表示画面の輝度むらを低減でき、特に、高輝度カラー表示に適したアクティブマトリックス型有機ELの表示装置に関する。
30

【0002】

【従来の技術】

有機EL表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、PHS、DVDプレーヤ、PDA(携帯端末装置)等に搭載される次世代表示装置として現在注目されている。この有機EL表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R(赤)、G(緑)、B(青)に感度差があることから制御が難しくなる問題点がある。
40

そこで、最近では、電流駆動のドライバを用いた有機EL表示装置が提案されている。例えば、特開平10-112391号などでは、電流駆動により輝度ばらつきの問題を解決する技術が記載されている。

携帯電話機、PHS用の有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個(132×8)の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

【0003】

このような有機EL表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でも単純マトリックス型のものでも端子ピン対応に電流源の駆動回路、例えば、カレントミ
50

(4)

JP 2004 78163 A 2004.3.11

ラー回路による出力回路が設けられている。

アクティブマトリックス型では、表示セル（画素）対応にコンデンサと電流駆動のトランジスタとからなるピクセル回路が設けられていて、コンデンサに記憶した電圧に応じてトランジスタを駆動し、このトランジスタを介して有機EL素子（以下OEL素子）が電流駆動される。その駆動方式には、OEL素子をON/OFFの2値で制御するデジタル駆動とOEL素子の駆動電流をアナログ入力データで制御するアナログ駆動とがある。デジタル駆動の場合には、ピクセル内にサブピクセルを設けて表示面積を制御したり、発光時間を時分割して駆動時間の相違により表示画素の階調を制御する。アナログ駆動の場合には電圧指定型（電圧プログラム方式）と電流指定型（電流プログラム方式）とがある、電圧指定型の場合には各ピクセル回路のコンデンサの端子電圧を電圧信号により設定し、電流指定型の場合には前記コンデンサの端子電圧を電流信号により設定する。

10

【0004】

【発明が解決しようとする課題】

このようなアクティブマトリックス型では、各ピクセル回路ごとの駆動トランジスタの動作 値のばらつきにより輝度むらが発生し易い。製造過程において表示素子の駆動トランジスタの動作 値を均一にすることは難しいことなので、各ピクセル回路のコンデンサの電圧を制御することで輝度むらを抑えることが考えられている。そのためピクセル回路内に 値補償回路が設けられる。その補償回路の一例として前記の電圧プログラム方式の回路と前記の電流プログラム方式の回路とがある。

前者の電圧プログラム方式は、各ピクセル回路に4個のトランジスタと2個のコンデンサを用いるものであり、データ線、選択線のほかに、駆動トランジスタの動作 値のばらつきを補償するために2本の線が設けられる。そして、これら2本の線へ制御信号を加えて2つのコンデンサを所定のタイミングで充電することで駆動トランジスタの 値が影響しない電流駆動が行われる。

20

後者の電流プログラム方式は、駆動トランジスタを含めた3個のトランジスタと、特定の電圧設定をするスイッチトランジスタとで構成される。データ線、2本の選択線と、さらに特定の電圧 V_{dd} の電源線（ソース線）が設けられる。まず、スイッチトランジスタで駆動トランジスタを切り離してコンデンサを電流駆動で充電しておき、その後、スイッチトランジスタにより駆動トランジスタをコンデンサに接続しがつ駆動トランジスタにソース線から電力を供給してOEL素子を電流駆動する。

30

【0005】

これら2種類の駆動方法は、プログラムタイミング制御が必要であり、特に、電流駆動方式では、中間階調表示のために制御する電流値として0.1μA以下の精度が要求される。そのため、その制御が難しくなる。また、表示画素数が、例えば、VGA、SVGA、XGA等のように高密度になると、限られた時間内でプログラムタイミング制御を行う必要がある、かつ、データ線、選択線とは別にプログラム制御のための線が必要となって、各ピクセル回路の回路規模が大きくなる欠点がある。

この発明の目的は、駆動トランジスタの動作 値を補償する回路をなくしてピクセル回路の回路規模を抑えても表示画面の輝度むらを低減でき、特に、高輝度カラー表示に適したアクティブマトリックス型有機ELパネルの駆動回路を提供することにある。

40

この発明の他の目的は、ピクセル回路の回路規模が小さくかつ表示画面の輝度むらが低減できる有機EL表示装置を提供することにある。

【0006】

【課題を解決するための手段】

このような目的を達成するためのこの発明のアクティブマトリックス型有機ELパネルの駆動回路およびこれを用いる有機EL表示装置の特徴は、有機EL表示パネルのデータ線あるいはカラムピンに対して接続される出力ピンを有しこの出力ピンが前記データ線あるいは前記カラムピンを介して接続されるピクセル回路のコンデンサを前記電圧値に充電する充電電流を発生する多数の電流駆動回路と、前記コンデンサに前記電圧値を記憶するための書き込み制御をしがつ書き込まれた前記コンデンサの前記電圧値をリセットする制御をす

50

る書き込み制御回路とを備え、

前記有機EL表示パネルの画面上で少なくとも分散した位置にある複数の前記ピクセル回路に前記出力ピンを介して接続される複数個の前記電流駆動回路には前記出力ピンから吐出されあるいは前記出力ピンにシンクされる出力電流を調整する電流値調整回路がそれぞれに設けられているものである。

【0007】

【発明の実施の形態】

このように、この発明にあっては、データ線あるいはカラム端子ピンに接続された電流駆動線のほかには、書き込み制御回路からの線、例えば、コンテンサの電圧値書き込みとこの電圧値をリセットするための走直線だけで済む。

10

この発明では、各ピクセル回路の外部に設けられる電流駆動回路の電流値調整回路で駆動電流値が調整されるので、駆動トランジスタの動作値を均一にするために必要なプログラム制御のための制御線は不要である。したがって、各ピクセル回路の素子数と配線とが、その分、低減できる。これにより各ピクセル回路の回路規模が低減される。

この発明の電流駆動回路の電流値調整回路は、すべてのデータ線あるいはカラム端子ピンに対応して設けてもよいが、その一部として、少なくとも分散した位置にあるものだけに電流値調整回路を設ければよいので、その分、有機EL駆動回路側の回路規模も大きくなりないで済む。

これにより、アクティブ型の有機ELパネルの各ピクセル回路の構成を最小限にとどめて有機ELパネルの外部から電流駆動して、その駆動電流自体を外部の駆動回路で調整できるようとする。その調整は、表示画面上で少なくとも分散した位置にあるピクセル回路をそれぞれに駆動する複数の電流駆動回路に電流値調整回路を設け、駆動するピクセル回路の輝度に応じて輝度むらが目立たなくなるようにその駆動電流値をその電流値調整回路により調整する。このことでピクセル回路の駆動トランジスタの動作値のはらつきに関係なく、画面上の輝度むらを抑制することができる。もちろん、全部のデータ線あるいはカラム端子ピンに対応して電流値調整回路を有する電流駆動回路を設ければ、その分、輝度むらが低減される。

20

その結果、駆動トランジスタの動作値を補償する回路をなくして各ピクセル回路の回路規模を抑えることができ、かつ、表示画面の輝度むらを低減することができる。

【0008】

【実施例】

図1は、この発明のアクティブマトリックス型有機ELの表示装置を適用した一実施例のプロック図、図2は、そのデータ電極ドライバとしての、電流値調整回路を有するカレントミラーの端子ピン駆動回路を中心とする回路図、図3は、不揮発性メモリをレジスタ構成とした具体例の説明図、図4は、図3の不揮発性メモリを揮発性メモリのシフトレジスタ構成とした具体例の説明図、そして図5は、輝度むらを調整する電流値調整回路を有するカレントミラーの端子ピン駆動回路を分散して設けてピクセル回路を駆動する場合の説明図である。

図1において、1は、アクティブマトリックス型有機ELの表示装置であって、データ電極ドライバ2と、書き込み制御回路3、ピクセル回路4、コントロール回路5、レジスタ6、ロー側走直回路7、そしてMPU8等により構成されている。なお、ピクセル回路4は、X、Yのマトリックス配線の各交点に対応して多数設けられているが、図では、その1つのみを、それらの代表として示してある。データ電極ドライバ2は、いわゆる有機EL駆動回路のカラムドライバ（水平走直方向のドライバ）であって、各データ線（あるいは各カラム端子ピン、以下同じ）対応に設けられたカレントミラーの端子ピン駆動回路10（以下電流駆動回路10、図2参照）をデータ線数分内蔵している。それぞれのカレントミラー出力段回路13の出力ピン9（図2参照）は、アクティブマトリックス型のX、Yのマトリックス配線（データ線、走直線）のうちの、それぞれのデータ線（X電極=X1、Xn）にそれぞれに接続されている。

40

【0009】

50

(6)

JP 2004 78163 A 2004.3.11

図に示すように、ピクセル回路（表示セル）4は、X、Yのマトリックス配線（データ線X1, Xn, 走査線Y1, Y2, ）の交点に対応して設けられていて、このピクセル回路4内には各データ線と各走査線Y1との各交点にソース側とゲートが接続されたNチャネルMOSトランジスタTト1が配置されている。OEL素子4αは、ピクセル回路4に設けられたPチャネルMOSの駆動トランジスタTト2により駆動される。トランジスタTト2のソースケート間にはコンデンサCが接続されている。トランジスタTト2のソースは、例えば、+7V程度の+Vcc電源ラインに接続され、そのドレイン側はOEL素子4αの陽極に接続されている。OEL素子4αの陰極は、ロー側走査回路7のスイッチ回路7αに接続され、このスイッチ回路7αを介してグランドGNDに接続されている。

10

【0010】

ピクセル回路4において、トランジスタTト1とトランジスタTト2との間にPチャネルMOSトランジスタTト3とNチャネルMOSトランジスタTト4が設けられている。トランジスタTト3は、トランジスタTト2を出力側トランジスタとしてカレントミラーレンジト4bを構成する入力側トランジスタとなっていて、これの下流にトランジスタTト1のドレインが接続され、トランジスタTト3とトランジスタTト1の接続点とカレントミラーレンジト4bの共通ゲート（トランジスタTト2のゲート）との間にトランジスタTト4のソースとドレインが接続されている。

なお、ここで、カレントミラーレンジト4bを構成するトランジスタTト2とトランジスタTト3とは、実質的に特性が等しいものとする。

20

トランジスタTト1のゲートは、走査線Y1（書込線）を介して書込制御回路3に接続され、トランジスタTト4のゲートは、走査線Y2（イレーズ線）を介して書込制御回路3に接続されている。走査線Y1（書込線）と走査線Y2（イレーズ線）とが書込制御回路3により走査されてこれら走査線がHiレベル（以下“H”）になるとトランジスタTト1とトランジスタTト4とがともにONとなる。これにより所定の駆動電流でトランジスタTト2が駆動されるとともにコンデンサCに充電されて所定の駆動電圧がコンデンサCに保持される。その結果、コンデンサCに駆動電流値が書込まれる。このとき、コンデンサCはこれを電圧値として記憶する。

MOSトランジスタTト2は、この記憶されたコンデンサCの電圧に応じて電流駆動されることになる。このときコンデンサCに記憶された電圧は、書込時の駆動電流に対応する電圧値となり、OEL素子4αは、書込時の駆動電流に対応した電流値で電流駆動される。トランジスタTト2とトランジスタTト3のチャネル幅が等しいときには、書込み電流と同じ駆動電流を発生させることができる。

30

【0011】

なお、書込制御回路3に接続され、制御される走査線Y1（書込線）と走査線Y2（イレーズ線）は、垂直方向のピクセル回路分（垂直走査ライン数分）設けられているが、ここではロー側走査回路7のスイッチ回路7αと同様に垂直方向に走査される1ピクセル回路1個分だけしか示していない。その他の回路は省略してある。また、コンデンサCへの電流値の書込時にあっては、スイッチ回路7αがOFFしているので、トランジスタTト2からOEL素子4αへの駆動電流はこのときには発生しない。

40

ロー側走査回路7のスイッチ回路7αは、R, G, Bの水平走査方向の1ラインに対応する1ライン分の駆動電流値が各ピクセル回路（表示セル）4のコンデンサCに書込まれた後にロー側走査回路7のスイッチ回路7αがONになり、水平走査方向の1ライン分のOEL素子4αが同時駆動される。このときには、走査線Y1（書込線）と走査線Y2（イレーズ線）とが書込制御回路3により共に“L”にされていて、トランジスタTト1とトランジスタTト4とがともにOFFになっている。

スイッチ回路7αは、ロー側走査回路7において垂直方向の走査ラインに対応して多数設けられていって、垂直走査に応じて手前のスイッチ回路7αがOFFされ、現在走査の対象となるスイッチ回路7αがONされる。このことで、垂直走査に対応してスイッチ回路7αが順次ONされていく。

50

(7)

JP 2004 78163 A 2004.3.11

【0012】

ところで、アクティブマトリックス型では、コンデンサCが駆動電流値を記憶するので、水平方向1ライン分ではなく、1画面分の駆動電流値をコンデンサCに記憶させた後にスイッチ回路7aをONさせてもよい。この場合には、このスイッチ回路7aを1個設ければよく、ロー側走査回路7を用いる必要はない。また、R, G, Bの1画面をそれぞれに時分割で駆動する場合には、前記の1画面は、R, G, Bに対応して設けられるので、このスイッチ回路7aは、R, G, Bのそれぞれの1画面に対応して1個づつ、合計で3個設けられることになる。

コンデンサCに書き込まれた電荷は、書き制御回路8に接続された走査線Y2が書き制御回路3により“H”となり、走査線Y1がLOWレベル（以下“L”）となって放電される。このときには、トランジスタTト1がOFFしてトランジスタTト4がONすることで、コンデンサCの電荷がトランジスタTト3（トランジスタTト3は、コンデンサCの端子電圧がそのゲートに加わってONになっている。）、トランジスタTト4を介して放電されて、コンデンサCの電圧がリセットされる。このリセットは、1ライン分のOE信号を駆動する直前あるいは帰線期間に行われる。なお、各ピクセル回路4に対応する走査線Y1と走査線Y2とは、それぞれコントロール回路5からタイミング信号T1, T2を受けて制御され、これにより垂直方向の各ピクセル回路が走査される。

10

【0013】

図2は、データ電極ドライバ2の具体的な回路であって、各データ線X1～Xnに対応に設けられたn個（nはデータ線数に対応）の電流駆動回路10と、1個の基準駆動電流発生回路16とを有している。これらの回路は、R, G, Bそれぞれに対応して設けられている。

20

各電流駆動回路10は、D/A変換回路11と、駆動電流値調整回路12、カレントミラー出力段回路13、ピーク電流生成回路14、そして不揮発性メモリ15とかなる。また、基準駆動電流発生回路16は、基準電流発生回路16aと基準電流複製分配回路16bとかなる。

基準電流発生回路16aは、その電流値が外部から設定できるプログラマブル定電流源であり、R, G, Bそれぞれの表示基準となる基準電流値を発生する。基準電流複製分配回路16bは、例えば、入力側1個のトランジスタと出力側n個（nはデータ線数）のトランジスタからなるカレントミラー回路で構成され、基準電流発生回路16aから送出される基準電流値を入力側トランジスタで受けた後、各データ線数分複製して出力側トランジスタより電流値I0の定電流をn個パラレルにカレントミラー出力段回路13の出力ピン、すなわち、有機ELパネルの端子ピンに対応に分配する回路である。分配された各電流値I0は、それぞれ出力ピンに対応に設けられた電流駆動回路10に出力される。

30

【0014】

電流駆動回路10の駆動電流値調整回路12は、基準電流複製分配回路16bから複製された電流値I0の定電流を受けて、電流駆動する有機ELパネルの自己が駆動する端子ピンに対応する調整した電流値IPの駆動電流をD/A変換回路11の入力端子11aに加え、その入力側カレントミラートランジスタTNa, TNpを駆動する。

40

D/A変換回路11は、Nチャネルの入力側トランジスタTNaとこの入力側トランジスタTNaに並列に接続されたカレントミラーのNチャネルの入力側トランジスタTNpを有している。そして、Nチャネルの出力側トランジスタTNb～TNn-1がこれら入力側トランジスタTNaとトランジスタTNpに対してカレントミラー接続されている。トランジスタTNaとトランジスタTNpは、チャネル幅（ゲート幅）の比が1:9に設定されていて、トランジスタTNaのソースは、抵抗Raを介してグランドGNDに接続され、トランジスタTNpのソースは、抵抗Rp, スイッチ回路SWPaを介してグランドGNDに接続されている。

なお、前記のチャネル幅（ゲート幅）の比1:9は、同一形状のMOS1個に対してペア性のよいMOS9個をパラレルに接続して構成してもよい。

ここでは、2個の入力側トランジスタTNaと入力側トランジスタTNpが入力端子11

50

(8)

JP 2004 78163 A 2004.3.11

α に接続されていて、この入力端子 11α に駆動電流値調整回路12から調整された電流値IPの電流を受ける。

【0015】

そこで、スイッチ回路SWPaがOFFとなっている駆動初期には、入力側トランジスタTN α 1個にこの電流IPが動作電流として流れ、D/A変換回路11の出力端子11bに表示データに応じた駆動電流I α としてピーク電流値IP α が発生する。また、その後、スイッチ回路SWPaがONになると、入力側のトランジスタTN α とTNPとにこの電流IPが分流して流れ。このときには、D/A変換回路11の出力端子11bには表示データに応じた駆動電流値I α として定常状態の駆動電流値IP α /10が発生し、ピーク電流値IP α の1/10の電流が流れ。

10

抵抗R b ～R $n-1$ は、出力側トランジスタTN b ～TN $n-1$ のソースとトランジスタTR b ～TR $n-1$ のドレインとの間に挿入された抵抗である。これによりD/A変換回路11の電流ペアリング精度を向上させることができる。

なお、トランジスタTR b ～TR $n-1$ のゲートは、kビットの表示データが入力される入力端子d o ～d $n-1$ に接続され、レジスタ6から表示データを受ける。トランジスタTR b ～TR $n-1$ のソースはグランドGNDに接続されている。

【0016】

さて、駆動電流値調整回路12は、その出力電流値IPがデータ設定によりプログラム可能な電流値調整回路である。これは、NチャネルのMOSトランジスタTR1、TR2からなるカレントミラー駆動回路12aと、これにより駆動されるPチャネルのトランジスタTR3～TR7からなるカレントミラー電流調整回路12bと、不揮発性メモリ15とから構成されている。

20

カレントミラー駆動回路12aは、その入力側トランジスタTR1が基準電流複製分配回路16bの出力の1つにそのドレインが接続されていて、基準電流複製分配回路16bから電流値IOの電流を受ける。このトランジスタのソースは、抵抗R1を介してグランドGNDに接続されている。カレントミラー駆動回路12aの出力側トランジスタTR2は、チャネル幅(ゲート幅)の比がトランジスタTR1に対してP倍(Pは2以上の整数)に設定されていて、そのドレインがカレントミラー電流調整回路12bの入力側トランジスタTR3のドレインに接続され、そのソースは、抵抗R2を介してグランドGNDに接続されている。

30

これにより、出力側トランジスタTR2には、P×IOの電流が流れ、この電流でトランジスタTR3が駆動される。その結果、出力側トランジスタTR4からは、P×IOのミラー電流が出力される。

【0017】

ここで、カレントミラー接続のトランジスタTR3～TR7は、ソース側が電源ライン+VDD(=+3V)に接続され、出力側トランジスタTR4は、ドレイン側(出力側)がD/A変換回路11の入力端子11aに接続されている。また、出力側トランジスタTR5～TR7は、それぞれのドレインがトランジスタTR4のドレインにそれぞれスイッチ回路SW1～SW3を介して接続されて、トランジスタTR4に対してそれぞれがパラレル接続される。これらトランジスタTR5～TR7は、出力側トランジスタTR4のドレインから出力されるP×IOのミラー電流値を補正する電流値補正回路となっている。

40

ここでは、トランジスタTR3に対してもトランジスタTR5～TR7のチャネル幅(ゲート幅)の比が1/10、1/20、1/40になるように設定され、例えば、6ビットの階調においてその1 LSB(分解能)により表現するD/A変換回路11の出力側の電流値が前記の比率で調整できるようになっている。

そこで、3つのスイッチ回路SW1～SW3を選択的にONすることで、あるいはこれら全てをONすることで、P×IOの電流値にP×IO/10、P×IO/20、P×IO/40の組み合わせた分の電流を付加してD/A変換回路11の駆動電流を加算調整することができます。ここで調整された駆動電流がD/A変換回路11において表示データに応じて増幅されて、端子ピンを駆動する電流としてD/A変換回路11を経てカレントミラ

50

(9)

JP 2004 78163 A 2004.3.11

一電流出力回路 1 8 から出力されるので、端子ピン駆動電流値がこの駆動駆動電流値調整回路 1 2 により調整可能になる。この電流値を調整することで、これの端子ピンに接続された O E L 素子 4 α の輝度調整が可能となり、各端子ピンに対応してこの電流値を調整することで画面の輝度むらを抑制することができる。なお、実際の駆動電流は、後述するように、出力段カレントミラー回路 1 8 b により 1 / N にされるので、ここでの調整電流値は、駆動電流値としては 1 / N の調整になる。

【0018】

3つのスイッチ回路 SW 1 ~ SW 3 の ON / OFF の選択は、不揮発性メモリ 1 5 の所定の領域に記憶された 3 ビットのデータに従って行われる。例えば、3 ビットのデータが “0 1 0” のときには、ビット “1” に対応するスイッチ回路 SW 2 が ON になり、ビット “0” に対応する位置のスイッチ回路 SW 1, SW 3 が OFF となる。

10

この不揮発性メモリ 1 5 に記憶されるデータは、MPU 8 から設定される。なお、不揮発性メモリ 1 5 は、 $3 \times n$ ビット（ただし、n は、1 個のデータ電極ドライバ I C のデータ線の総端子ピン数）が、これ以上の記憶容量のものであって、3 ビットごとの各領域がそれぞれの端子ピンに対応して割り当てられている。

そこで、MPU 8 は、各端子ピン対応に輝度調整する 3 ビットのデータを生成して、合計で $3 \times n$ ビットを不揮発性メモリ 1 5 に記憶する。この $3 n$ ビットのデータは、MPU 8 からデータ DAT としてクロック CLK とともに不揮発性メモリ 1 5 に供給される。このことで、水平走査方向の画素対応に輝度調整ができる。

【0019】

20

一方、ピクセル回路 4 は、マトリックス状に配置されている。そこで、水平走査方向の 1 ライン分だけでは、マトリックス状に配置されたすべてのピクセル回路 4 の輝度むらを解消することはできない。そのため、有機 E L 表示パネルの画面上において同じ水平方向の走査位置で垂直方向に配列されたピクセル回路 4 の O E L 素子の輝度の平均値を探り、前記の 3 ビットのデータを生成する。

なお、各端子ピン対応の 3 ビットのデータは、表示された画面の輝度を測定して各端子ピン対応に垂直走査方向の各画素の輝度の平均値として生成され、総計で $3 n$ ビットのデータ DAT が生成される。このとき、輝度調整が不要な端子ピンの 3 ビットのデータは “0 0 0” である。そこで、各端子ピン対応の 3 ビットのデータは、実際には輝度調整すべき端子ピンについて 3 ビットのデータを生成すればよい。

30

このような輝度調整は、製品が組み立てられた状態で製品の表示画面を観察して目視により輝度の異なるところの画素について前記のデータ DAT を生成していくごとでも表示画面の輝度調整は可能である。生成されたこの $3 n$ ビットのデータ入力と書き込みは、製品出荷のテスト段階で MPU 8 を介して行えばよい。

これにより表示画面の輝度むらおよび製品ごとの輝度のはらつきの調整ができる。

【0020】

ここで、垂直走査ライン数を m とすれば、不揮発性メモリ 1 5 の容量を $3 \times n \times m$ ビットとして、1 画面分の輝度むら補正データを不揮発性メモリ 1 5 に記憶しておき、垂直走査に対応してそれらを読み出せばマトリックス状に配置されたすべてのピクセル回路 4 の輝度に対応して輝度むらを解消することもできる。これは、図 2 に点線で示すようにロード走査回路 7 により垂直走査に応じて不揮発性メモリ 1 5 のアドレスを更新しながらアクセスして垂直走査位置に対応した輝度補正データをその都度不揮発性メモリ 1 5 から読出して輝度むら補正する駆動電流を生成するものである。

40

なお、この不揮発性メモリ 1 5 としては、F R A M, M R A M, E E P R O M 等を用いることができる。また、前記は、スイッチ回路 SW 1 ~ SW 3 が 3 個の場合を例にしているが、スイッチ回路は 1 個でもよく、あるいは 3 個以上であってもよい。したがって、輝度調整するためのデータのビット数は、1 ビット以上であればよい。

【0021】

次に、カレントミラー電流出力回路 1 8 について説明する。

カレントミラー電流出力回路 1 8 は、駆動電流反転回路 1 8 a と出力段カレントミラー回

50

(10)

JP 2004 78163 A 2004.3.11

路 1 3 b とからなる。

駆動電流反転回路 1 3 a は、D/A 変換回路 1 1 の出力を反転して出力段カレントミラー回路 1 3 b に伝達するための回路であって、P チャネル MOSFET トランジスタ T P u . T P w とからなるカレントミラー回路である。それぞれのトランジスタのソース側が電源ライン +Vcc に接続されている。トランジスタ T P u が入力側トランジスタであり、そのドレイン側が D/A 変換回路 1 1 の出力端子 1 1 b に接続されている。トランジスタ T P w が出力側トランジスタであって、そのドレイン側が出力段カレントミラー回路 1 3 b の入力端子 1 3 c に接続されている。

これにより D/A 変換回路 1 1 の表示データに応じた出力電流 I a に対応して入力端子 1 3 c に駆動電流 I a を発生することができる。

10

【0022】

出力段カレントミラー回路 1 3 b は、入力端子 1 3 c と入力側カレントミラートランジスタ TN X との間に挿入された N チャネル MOSFET トランジスタ TN V と、出力段カレントミラー回路を構成する N チャネル MOSFET トランジスタ TN X , TN Y とを有している。トランジスタ TN V は、駆動電圧レベル調整用の回路である。出力段カレントミラー回路 1 3 b のトランジスタ TN X とトランジスタ TN Y のゲート幅比は N : 1 である。これらトランジスタのソースは、グランド GND に接続され、出力側トランジスタ TN Y は、出力ピン 9 に接続されている。これにより駆動電流を 1/N として、駆動時には I a / N の駆動電流を有機 ELS パネルの端子ピンから出力ピン 9 を経てシンクして OEL 素子 4 a を有するピクセル回路 4 のコンデンサ C を充電する。

20

【0023】

ここで、前記のコンデンサ C の充電動作を高速化するために充電電流としてピーク電流を発生する動作について次に説明する。

入力側トランジスタ TN P と抵抗 R Pa 、スイッチ回路 SW Pa とは、ピーク電流生成回路 1 4 を構成していて、スイッチ回路 SW Pa は、駆動初期の一定期間 t P だけコントロール回路 5 からコントロール信号 C ON T を受けけることなく、 OFF にされ、一定期間 t P 後に C ON T を受けて ON になる。

駆動開始時点では、スイッチ回路 SW Pa がコントロール回路 5 からコントロール信号 C ON T を受けていないので、入力側トランジスタ TN a に電流 I P が流れ、 d o ~ d n - 1 の各入力端子に設定されたデータに対応する倍数、例えば M の電流値 M × I P (= I Pa) が生成されて D/A 変換回路 1 1 の出力端子 1 1 b にピーク電流 I a = M × I P を発生する。そして、ピーク電流発生期間 t P の終了後にコントロール信号 C ON T が発生してスイッチ回路 SW Pa が ON になると、入力側トランジスタ TN a に流れる電流が入力側トランジスタ TN P に分流されて、これらトランジスタのゲート幅比 1 : 9 に従って入力側トランジスタ TN a に I P / 10 が流れ、入力側トランジスタ TN P に 9 × I P / 10 の電流が流れ。その結果、出力端子 1 1 b にピーク電流値 I Pa の 1 / 10 の電流が発生する。

30

なお、ピークの期間 t P は、容量性負荷となる特性を持つコンデンサ C がピーク電流で初期充電されればよいので、必ずしもピークの開始時点が駆動開始と一致していなくてもよい。

40

【0024】

図 3 は、不揮発性メモリ 1 5 をシフトレジスタ構成とした具体例の説明図である。

1 5 1 は、3 個並列に設けられた n 段のシフトレジスタである。このシフトレジスタ 1 5 1 は、3 ビットのパラレルに配置した不揮発性メモリによるデータラッシュのフリップフロップ 1 5 a , フリップフロップ 1 5 b , フリップフロップ 1 5 n を n 個の出力ピン 9 の数に対応して n 段数従属接続して構成され、各フリップフロップ 1 5 a ~ 1 5 n は、それぞれ 3 個 (3 ビット) パラレルに配置した不揮発性メモリである。

3 × n ビットの輝度調整のためのデータ DAT (輝度調整のトリミングデータ) は、フリップフロップ 1 5 a から 3 ビットパラレルでビットシリアルに入力されて MPU 8 からのクロック CLK に応じて各段にシフトされ、フリップフロップ 1 5 a ~ 1 5 n にそれぞれ

50

(11)

JP 2004 78163 A 2004.3.11

輝度調整データとして記憶される。

各段の3個のフリップフロップの反転側出力*Q（図面ではQオーババー）は、3個パラレルのインバータ17を介して各出力ピン9に対応する駆動駆動電流値調整回路12のスイッチ回路SW1～SW8に出力されて、各出力ピン9に対応にこれらスイッチ回路を選択的にON/OFFする。これにより各出力ピン9を介して駆動されるOEL素子の輝度を調整して製品ごとの輝度ばらつきを低減あるいは表示画面の輝度むらを低減する輝度調整をする。

【0025】

図4は、不揮発性メモリ15を揮発性メモリとした具体例の説明図である。

図4のシフトレジスタ152は、3個パラレルに配置したn段のシフトレジスタであるが、フリップフロップ152a、フリップフロップ152b、フリップフロップ152nは、データをラッピングする揮発性ラッピングメモリである。

フリップフロップ152aに入力される、トリミングデータDAT（輝度調整データ）は、MPU8ではなく、コントロール回路5からピットシリアルで3ピットパラレルに出力される。同時に、フリップフロップ152a～152nは、コントロール回路5からのクロックCLKを受けてこれに応じて輝度調整データを記憶する。

この場合のトリミングデータDATは、コントロール回路5に設けられた不揮発性メモリ15aに記憶されることになる。そして、MPU8が電源スイッチSWがONされたときに、制御信号Sを発生してコントロール回路5にクロックCLKとトリミングデータDATを発生させてトリミングデータDATをシフトレジスタ152に書き込む。

なお、不揮発性メモリ15aに記憶されるトリミングデータDAT（輝度調整データ）は、外部からキーボード等を介してMPU8に入力されたデータに応じてMPU8から書き込まれる。

この場合、図3と同様にコントロール回路5は、MPU8であってもよい。また、輝度調整データを記憶する揮発性メモリは、このようなシフトレジスタに限定されるものではなく、RAM等の揮発性メモリであってよい。

図中、電流源16b-1、電流源16b-2、電流源16b-8は、それぞれ電流値IOを発生する基準電流複製分配回路16bの出力側の定電流源である。

【0026】

図5は、輝度むらを調整するために、マトリックス状に配置されるピクセル回路のうち有機ELパネルの画面20上において特定の位置「X」に配置されたピクセル回路を駆動する回路として駆動電流値調整回路12を有する電流駆動回路10を特別に設けた例である。

前記したように、1画面分の輝度むら補正データを不揮発性メモリ15に記憶する場合には、不揮発性メモリ15の容量を $3 \times n \times m$ ビットとすれば、1画面分のピクセル回路4に対応して輝度補正が可能である。しかし、それでは、不揮発性メモリ15の容量が大きくなり、その制御も大変である。それを解消するのが図5の例である。

【0027】

図1の実施例では、電流駆動回路10は、水平走査1ラインの各走査位置に対応して設けられ、それぞれに駆動電流値調整回路12を有している。したがって、駆動電流値調整回路12は、垂直方向のピクセル回路4に対して共通なものになっている。同じ水平走査位置にある垂直方向のピクセル回路4に対しては平均的な輝度補正しかできない。

そこで、輝度むらが目立つ箇所（ピクセル回路4）に対応して駆動電流値調整回路12を有する電流駆動回路10を設けて、その箇所だけ輝度補正をする。これにより補正データ量を低減できる。

輝度むらが目立つ箇所（ピクセル回路4）としては、図5の画面20上においては中央とその両側の位置を挙げることができる。それが図5の「X」で図示する画面上の位置である。この「X」の位置に対応して駆動電流値調整回路12を有する電流駆動回路10を配置する。これ以外の電流駆動回路10は、駆動電流値調整回路12を削除した図2に示す電流駆動回路とする。そして、輝度むらを調整する垂直方向のピクセル回路の位置が走査す

10

20

30

40

50

(12)

JP 2004 78163 A 2004.3.11

れるとときには、そのピクセルに対応する水平走査1ライン側の電流駆動回路側を無効にして、そのピクセルに対応して設けられた駆動電流値調整回路12を持つ電流駆動回路10から輝度むらを補正した駆動電流をそれぞれに出力ピン9に出力するようとする。これにより不揮発性メモリ15の記憶容量は、輝度むらを補正する位置の数だけよいので、その分、駆動電流出力回路の回路規模を低減することができます。

なお、輝度むらを調整する位置「X」について、水平方向の走査位置が同じであり、垂直走査位置が相違するものは、駆動電流値調整回路12を持つ同じ電流駆動回路10を共通に使用することができます。

【0028】

具体的には、この共通の電流駆動回路10の駆動電流値調整回路12を動作させなければ、あるいは調整電流値のデータを“0”に設定すれば、駆動電流値調整回路12を持たない電流駆動回路10と同じになる。また、垂直方向走査に対応してそのとき駆動されるピクセル回路の駆動電流値を補正するデータを不揮発性メモリ15から読み出して設定すれば、補正するピクセル回路に対応して個々に設けた電流駆動回路10と同じになるからである。したがって、この場合、位置「X」に対応する水平走査位置では、各垂直走査位置に対応して不揮発性メモリ15に記憶する補正データだけを異なるようにして、それぞれのデータを垂直走査に応じてアクセスするようすればよい。

【0029】

以上説明してきたが、実施例では、駆動電流値調整回路12を基準駆動電流を受ける電流駆動回路10の入力段に設けているが、この回路は、この入力段（あるいは初段）と有機ELパネルの端子ピンを電流駆動する出力段の間にあればよい。

実施例のピクセル回路のコンデンサに対する電圧値の書き込みとこの電圧値のリセットの制御は、一例であって、ピクセル回路のトランジスタの数あるいはこれに接続される選択線あるいは走査線の数に応じて、書き込みとリセットの制御は決定される。

また、実施例の電流駆動回路は、白黒表示のものでもよいので、R、G、Bそれぞれに対応して設けられていなくてもよい。

なお、実施例では、MOSFETトランジスタを主体として構成しているが、バイポーラトランジスタを主体としても構成してもよいことはもちろんである。また、実施例のNチャレンネル型トランジスタ（あるいはn P n型）は、Pチャレンネル型（あるいはP n P型）トランジスタに、Pチャレンネル型トランジスタは、Nチャレンネル（あるいはn P n型）トランジスタに置き換えることができる。この場合には、電源電圧は負となり、上流に設けたトランジスタは下流に設けることになる。

【0030】

【発明の効果】

以上説明してきたように、この発明にあっては、アクティプ型の有機ELパネルの各ピクセル回路の構成を最小限にとどめて有機ELパネルの外部から電流駆動して、その駆動電流自体を外部の駆動回路で設定し、かつ、これらの中うち表示画面上で少なくとも分散した位置にあるピクセル回路をそれぞれに駆動する複数の電流駆動回路には電流値調整回路を設けておき、その電流値調整回路により、駆動するピクセル回路の輝度に応じて駆動電流値を調整する。このことでピクセル回路の駆動トランジスタの動作値のはらつきに関係なく、画面上の輝度むらを抑制することができる。より多くの電流駆動回路に電流値調整回路を設けてもよいことはもちろんである。その分、画面上の輝度むらを抑制することができます。

その結果、各ピクセル回路の回路規模を抑えて、携帯電話機、PHS等の装置の表示画面の輝度むらを低減することができる。

【図面の簡単な説明】

【図1】図1は、この発明のアクティプマトリックス型有機ELの表示装置を適用した一実施例のブロック図である。

【図2】図2は、そのデータ電極ドライバとしての、電流値調整回路を有するカレントミラーの端子ピン駆動回路を中心とする回路図である。

10

20

30

40

50

(13)

JP 2004 78163 A 2004.3.11

【図3】図3は、不揮発性メモリをレジスタ構成とした具体例の説明図である。

【図4】図4は、図3の不揮発性メモリを揮発性メモリのシフトレジスタ構成とした具体例の説明図である。

【図5】図5は、輝度むらを調整する電流値調整回路を有するカレントミラーの端子ピン駆動回路を分散して設けてピクセル回路を駆動する場合の説明図である。

【符号の説明】

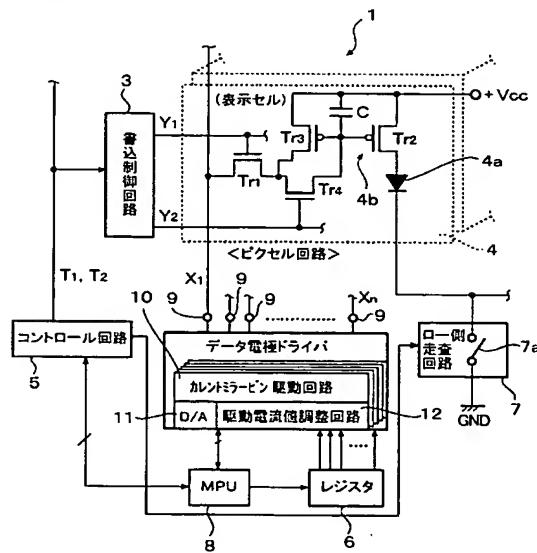
- 1 アクティブマトリックス型の有機EL表示装置、
- 2 データ電極ドライバ、3 書込制御回路、
- 4 ピクセル回路、4a 有機EL素子、
- 5 コントロール回路、
- 6 レジスタ、7 口一側走査回路、
- 7a スイッチ回路、
- 8 MPU、9 出力ピン、
- 10 カレントミラーピン駆動回路、
- 11 D/A変換回路、12 駆動電流調整回路、
- 13 カレントミラー電流出力回路、
- 13a 駆動電流反転回路、13b 出力段カレントミラー回路、
- 14 ピーク電流生成回路、15 不揮発性メモリ、
- 15a～15n 不揮発性ラッシュ（フリップフロップ）、
- 152a～152n 挥発性ラッシュ（フリップフロップ）
- 16 基準駆動電流発生回路、16a 基準電流発生回路、
- 16b 基準電流複製分配回路、
- 17 インバータ、Tr1～Tr7, TPa～TPn-1, TNa～TNn-1 トランジスタ。

10

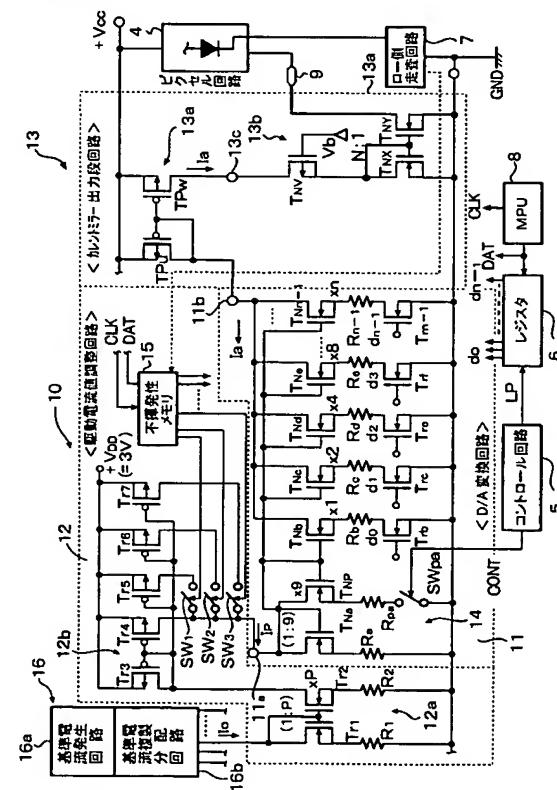
20

20

【図1】



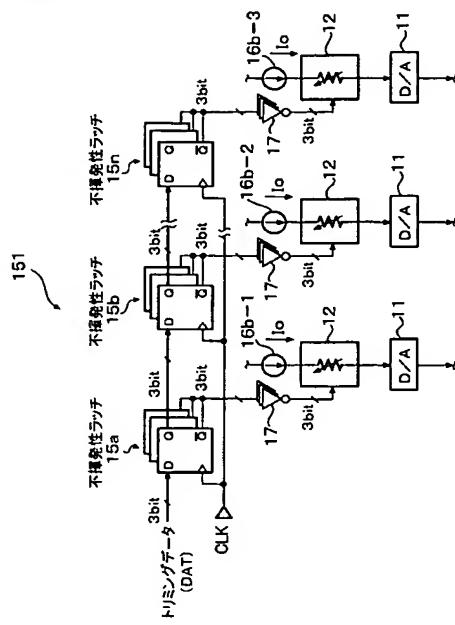
【図2】



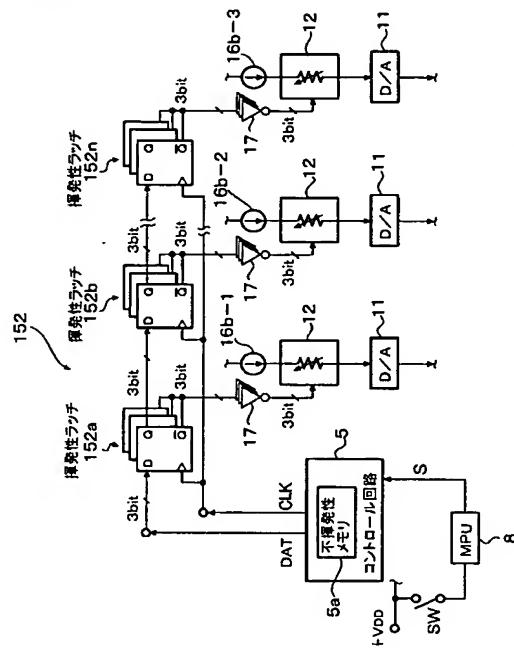
(14)

JP 2004 78163 A 2004. 3. 11

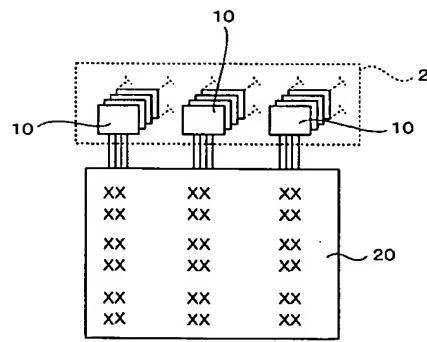
[四 3]



【图4】



[四 5]



(15)

JP 2004 78163 A 2004.3.11

フロントページの続き(51)Int.Cl.⁷

F I

テーマコード（参考）

G 09G	3/20	6 2 3 F
G 09G	3/20	6 2 3 R
G 09G	3/20	6 2 4 B
G 09G	3/20	6 3 1 B
G 09G	3/20	6 3 1 K
G 09G	3/20	6 4 1 D
G 09G	3/20	6 4 2 A
G 09G	3/20	6 4 2 J
G 09G	3/20	6 5 0 M
H 05B	83/14	A